

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-054730

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-203362

(71)Applicant : SONY CORP

(22)Date of filing : 29.07.1997

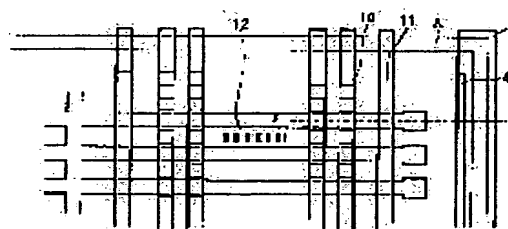
(72)Inventor : TERAMOTO SHIGEKI

(54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance reliability of a nonvolatile semiconductor memory, by providing an active region in the peripheral part of a memory array region, and avoiding charging damage at a gate processing time and so forth.

SOLUTION: An active region A for discharging to a silicon substrate 1 charges to be injected on the occasion of processing control gates 7, insulating films 5 between gates, floating gates 4 by dry etching, are arranged in the peripheral part of a memory array region. As the result of this, it becomes possible to avoid charging damage at a gate processing time and so forth effectively. Besides, the number of processes required does not increase, since the active region A can be formed simultaneously with the formation of the memory array region. Accordingly, it becomes possible to form high-reliability NAND-type flash memories efficiently by providing an active region for discharging charges injected at a gate processing time and so forth to the substrate, in the peripheral part of the memory array region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54730

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/115
21/8247
29/788
29/792H 0 1 L 27/10
29/784 3 4
3 7 1

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号

特願平9-203362

(22) 出願日

平成9年(1997) 7月29日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

寺本 茂樹

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人

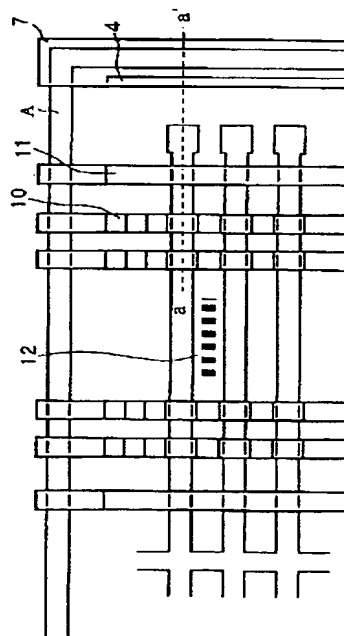
弁理士 佐藤 隆久

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 不揮発性半導体記憶装置の製造方法において、ゲート加工時等におけるチャージングダメージを回避して、工程数を増やすことなく、信頼性の高い不揮発性半導体記憶装置を製造する方法を提供する。

【解決手段】 コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域を、メモリアレイ領域の外周に配置する工程を含むことを特徴とする、フローティングゲートを有する不揮発性半導体記憶装置の製造方法、および該領域をメモリアレイ領域の外周に有する不揮発性半導体記憶装置。



【特許請求の範囲】

【請求項 1】コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域を、

メモリアレイ領域の外周部に形成する工程を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 2】メモリアレイ領域を形成する工程と、コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域をメモリアレイ領域の外周部に形成する工程と、

フローティングゲートを形成する工程と、コントロールゲートを形成する工程と、およびワードライン端をアクティブ領域から切り離す工程を有する不揮発性半導体記憶装置の製造方法。

【請求項 3】上記コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域は、コントロールゲート材料と導通しており、コントロールゲートを加工する際に注入される電荷を基板へ放出することが出来る領域である請求項 1 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 4】上記コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域は、フローティングゲート材料と導通しており、ゲート間絶縁膜を加工する際に注入される電荷を基板へ放出することのできる領域である請求項 1 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 5】上記コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域は、コントロールゲート材料およびフローティングゲート材料と導通しており、フローティングゲートを加工する際に注入される電荷を基板へ放出することのできる領域である請求項 1 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 6】コントロールゲート、ゲート間絶縁膜またはフローティングゲートを加工する際に注入される電荷を半導体基板へ放出するための領域をメモリアレイの外周部に有する不揮発性半導体記憶装置。

【請求項 7】メモリアレイ領域に選択トランジスタおよびメモリトランジスタを有し、該メモリアレイの外周部に、ゲート間絶縁膜を加工する際に注入される電荷を基板へ放出するための領域を有する不揮発性半導体記憶装置。

【請求項 8】前記不揮発性半導体記憶装置が、NAND 型フラッシュメモリである請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 9】前記不揮発性半導体記憶装置が、NOR 型

フラッシュメモリである請求項 6 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

05 【発明の属する技術分野】本発明は、不揮発性半導体記憶装置の製造において、ゲートの加工時のチャージングダメージを回避する不揮発性半導体記憶装置の製造方法に関する。

【0002】

10 【従来技術】近年のLSIの大規模化・高速化に伴い、パターンの微細化と高アスペクト化、ゲート絶縁膜の薄膜化が進み、不揮発性半導体記憶装置の製造において、イオン注入、プラズマエッチング、CVDや逆スパッタリング工程等の電氣的物理的ダメージを引き起こす工程
15 におけるチャージングダメージの影響が一層大きくなっている。

【0003】上記の各工程におけるチャージングダメージは、各ゲート間に設けられる絶縁膜（ゲート間絶縁膜）を破壊してデバイスの歩留まりを低下させてしまうだけでなく、軽度の場合でもデバイスの信頼性を劣化させるため、不揮発性半導体記憶装置の製造上大きな問題となる。

【0004】ここで、図24～図32を用いて、従来のスタックドゲート構造の不揮発性半導体記憶装置の製造方法の概要を説明する。

【0005】先ず始めに、図24に示すように、例えば、p型シリコン基板1上に、LOCOS法等により、メモリアレイ領域となる素子分離領域3を形成し、さらにトンネルゲート絶縁膜2を成長させる。

30 【0006】次に、図25に示すように、例えば、リンイオンをドーブしたポリシリコン4を、後にフローティングゲートとなるゲート絶縁材料として、例えばCVD法により堆積させる。

【0007】図26に示すように、フローティングゲートのワードライン方向の幅を決めるパターニングを行った後に、図27に示すように、例えば、酸化シリコン（ SiO_2 ）／窒化珪素（ Si_3N_4 ）／酸化シリコン（ SiO_2 ）の積層膜からなるゲート間絶縁膜（5）を、それぞれ高温CVD（HTO CVD）法、低圧CVD（LP-CVD）法、およびHTO CVD法によって形成する。

【0008】次に、図28に示すように、コントロールゲートとなるゲート電極材料、例えば、タングステンシリサイド／ポリシリコンの積層膜（7）を、CVD法等により堆積した後、ゲート加工用のレジストパターニング（9）を行う。

【0009】この後、コントロールゲートの加工（図29）、ゲート絶縁膜の加工（図30）、およびフローティングゲートの加工（図31）を行うと、図32に示すようなスタックドゲート構造の半導体装置が得られる。

【0010】

【発明が解決しようとする課題】上記したような不揮発性半導体記憶装置の製造プロセスに従ってゲート電極の加工を行った場合、1) コントロールゲート加工のオーバーエッチング時には、図27の矢印に示すように、ゲート電極の側壁から注入された電荷によって、ゲート間絶縁膜がダメージを受けるほか、コントロールゲート電極が除去された領域では、ゲート間絶縁膜がダメージを受ける、2) ゲート間絶縁膜加工時には、図28の矢印に示すように、フローティングゲートがプラズマに曝され、その結果、注入された電荷によりトンネルゲート絶縁膜がダメージを受ける、3) また、フローティングゲート加工時には、図29の矢印に示すように、フローティングゲートがプラズマに曝され、その結果注入された電荷によりトンネルゲート絶縁膜がダメージを受ける、といったいわゆるチャージングダメージを受けて、半導体記憶装置が劣化するおそれがある。

【0011】不揮発性半導体記憶装置の場合、フローティングゲートに電子が注入されていない状態では、メモリトランジスタのしきい値が高いため非導通であり、書き込み後の状態、すなわち、フローティングゲートに電子が注入された状態では、メモリトランジスタのしきい値が正の方向にシフトするため、導通状態となる。そして、この導通、非導通の状態を各々記憶内容の“1”、“0”に対応させている。

【0012】従って、前述したようなチャージングダメージによって電荷の保持特性が劣化してしまうと、電荷が変化してしまうことになり、信頼性の高い不揮発性半導体記憶装置を得ることができない。

【0013】そのため、半導体記憶装置の製造においては、チャージングダメージには特に細心の注意が払われ、こうしたチャージングダメージを回避するための方法として、装置の構造の最適化やエッチング条件の最適化が図られている。

【0014】しかし、半導体記憶装置の微細化が進み、ワードライン間のスペースがますます狭くなった今日では、それだけではチャージングダメージを完全に回避することは不可能である。

【0015】本発明は以上のような背景からなされたものであり、ゲート加工時等におけるチャージングダメージを回避して、不揮発性半導体記憶装置の信頼性を向上させることを目的とする。

【0016】

【課題を解決するための手段】上記課題を解決すべく、本発明の製造方法は、不揮発性半導体記憶装置の製造において、コントロールゲート、ゲート間絶縁膜、フローティングゲート等を、ドライエッチングによって加工する際に注入されてしまう電荷を基板へ放出するための領域（以下、「アクティブ領域」という。）を、メモリアレイ領域の外周部に配置する工程を含むことを特徴とす

る。

【0017】上記アクティブ領域は、メモリアレイ領域の外周部に配置され、コントロールゲート、ゲート間絶縁膜およびフローティングゲート等を、ドライエッチング等によって加工する際に注入される電荷を基板へ放出するための領域である。

【0018】すなわち、上記アクティブ領域は、コントロールゲート材料と絶縁膜を介さずに接触しており、コントロールゲートを加工する際に注入される電荷を基板に放出する領域である。

【0019】また、上記アクティブ領域は、コントロールゲートの加工が終了した後もフローティングゲート材料を介して、コントロールゲート材料と導通しており、ゲート間絶縁膜及びフローティングゲートを加工する際に注入されてしまう電荷を基板に放出する領域である。

【0020】本発明の不揮発性半導体記憶装置の製造方法によれば、アクティブ領域をメモリアレイ領域の外周部に設けることによって、工程数を増やすことなく、ゲート間絶縁膜、トンネルゲート絶縁膜にダメージを与えることなくスタックドゲートの加工を行うことができる。従って、信頼性の高い不揮発性半導体記憶装置を、効率よく製造することが可能となる。

【0021】

【発明の実施の形態】本発明の不揮発性半導体記憶装置の概要を図1および図2に示す。本発明の不揮発性半導体記憶装置は、フローティングゲート、および好ましくはコントロールゲートを有する。

【0022】図1は、メモリトランジスタ10を直列に配列し、選択トランジスタ11、およびメモリアレイ領域周辺部にアクティブ領域Aを有する、本発明の不揮発性半導体記憶装置（NAND型フラッシュメモリ）の一例を示す。

【0023】図2に示すように、メモリトランジスタ10および選択トランジスタ11は、トンネルゲート酸化膜2上に設けられている。メモリトランジスタ10は、フローティングゲート4およびコントロールゲート7が、ゲート間絶縁膜5を介して設けられている構造を有している。

【0024】本発明の不揮発性半導体記憶装置は、フローティングゲート4に電子が注入されていない状態では、メモリトランジスタのしきい値が高いため非導通であり、書き込み後の状態、すなわち、フローティングゲートに電子が注入された状態では、メモリトランジスタのしきい値が正の方向にシフトするため、導通状態となる。そして、この導通、非導通の状態を各々記憶内容の“1”、“0”に対応させている。従って、製造工程におけるチャージングダメージによって、電荷の保持特性が劣化してしまうと、フローティングゲートの電荷が変化してしまうことになる。そのため、製造工程におけるチャージングダメージを回避することは、信頼性の高

い不揮発性半導体記憶装置を得る上で重要である。

【0025】本発明のフローティングゲートを有する不揮発性半導体記憶装置は、以下のようにして製造する。

【0026】先ず始めに、図3、図4および図5に至るまでの工程を説明する。先ず、シリコン基板1上に、選択トランジスタおよびメモリトランジスタが形成される領域である素子分離領域（以下、「メモリアレイ領域」という）、及びゲート電極加工時に注入される電荷を基板へ放出するための領域（以下、「アクティブ領域」という）を形成する。

【0027】上記メモリアレイ領域及びアクティブ領域は、例えば、以下のようにして形成する。すなわち、例えば、p型の不純物をドーパしたシリコン基板1上に、50Å程度の膜厚の SiO_2 膜と、100Å程度の膜厚の Si_3N_4 等の窒化膜を形成する。次いで、フォトリソエッチング工程にてフィールド部にあたる領域の酸化シリコン（ SiO_2 ）膜と窒化珪素（ Si_3N_4 ）膜を除去する。その後、1000～1200℃の酸素中で酸化して厚い膜厚のフィールド酸化膜3を形成し、残存する窒化珪素（ Si_3N_4 ）膜を除去することによりメモリアレイ領域およびアクティブ領域を形成する。

【0028】本発明において、上記アクティブ領域（図中、A）は、図3、図4および図5に示すように、メモリアレイ領域の周辺部に設けられる。図3は、本発明の不揮発性半導体記憶装置のメモリアレイ領域及びアクティブ領域を形成した平面図であり、図4は、それをa-a'でカットした断面図、図5は、b-b'でカットした断面図である。上記アクティブ領域Aの大きさは、ゲート電極加工時に注入されてしまう電荷を基板へ放出するために十分な大きさであれば特に制限はない。

【0029】次いで、図4に示すように、メモリアレイ領域のうちメモリトランジスタを形成する領域Bに対して、メモリトランジスタのしきい値電圧を制御するためのイオン注入Dを行ったのち、メモリアレイ領域上に、例えば、熱酸化法によりトンネルゲート絶縁膜2を形成する。該トンネルゲート酸化膜2は、例えば、シリコン基板を酸化することによって得ることができる。

【0030】次に、図6および図7に示すように、後にフローティングゲートとなるゲート電極材料、例えばポリシリコンを、例えばCVD法により堆積する。このようにして形成されるポリシリコン層4には、不純物として、例えば、リンイオンを不純物として、*in-situ*で $3 \times 10^{20} \text{ atoms/cm}^3$ 程度混入させることができる。

【0031】この後、図8、図9および図10に示すように、フローティングゲートのワードライン方向の幅W2を決めるパターニングを行い、同時にアクティブ領域A上のゲート電極材料もパターニングして除去する。

【0032】次いで、図11および図12に示すように、例えば、酸化シリコン（ SiO_2 ）／窒化珪素（S

i_3N_4 ）／酸化シリコン（ SiO_2 ）の積層膜からなるゲート絶縁膜5を全面に形成する。

【0033】さらに、図13および図14に示すように、選択トランジスタ領域Cに選択トランジスタのしきい値制御用のイオン注入のためのレジストパターニングを行う。このとき、レジスト6の開口は、選択トランジスタを形成する領域のみならず、アクティブ領域に対しても行う必要がある。

【0034】次いで、このレジストパターンをマスクとして、選択トランジスタのしきい値制御用のイオン注入EおよびFを行う。

【0035】次いで、ゲート間絶縁膜5と下地の絶縁膜2をエッチングにより除去する。この場合に、選択トランジスタのゲート空乏化を防ぐため、さらにイオン注入を追加して、ゲートの不純物濃度を上げることもできる。

【0036】次に、コントロールゲートとなるゲート電極材料、例えば、タンガステンシリサイド／ポリシリコンからなる積層膜7を全面に堆積することにより、図15に示す形状を得る。

【0037】ここまでの工程で、ゲート間絶縁膜5で覆われていない表面では、フローティングゲート材料4と、コントロールゲート材料7とが絶縁膜を介さずに接触している。また、コントロールゲート材料7はアクティブ領域Aと接触している。従って、ゲート電極の加工時に注入される電荷は、アクティブ領域Aを介して基板へ放出されることになる。

【0038】次いで、レジスト8を全面に成膜した後、パターニングを行うことにより図16および図17に示す形状を得る。このパターニングは、フローティングゲート材料4とアクティブ領域Aとが、コントロールゲート材料7を介して導通している必要があるため、必ずフローティングゲート材料4とコントロールゲート材料7とがオーバーラップする部分が残るように行わなければならない。

【0039】このような状態で、コントロールゲートの加工を行うと、図18および図19に示すような形状が得られる。このコントロールゲートの加工時にゲート電極の側壁から注入された電荷は、図18の矢印に示すようにワードライン方向にあるアクティブ領域Aから基板へ放出される。

【0040】また、コントロールゲート電極が除去された領域でフローティングゲートに注入された電荷も、ワードラインと垂直方向にあるアクティブ領域Aから基板に同様に放出される。従って、ゲート間絶縁膜、トンネルゲート絶縁膜ともにチャージアップによるダメージを受けることはない。

【0041】次に、ゲート間絶縁膜5の加工を行うと、断面は図20および図21に示すような形状になるが、この加工時にゲート電極の側壁から注入された電荷は、

図20の矢印で示すようにワードライン方向にあるアクティブ領域Aから基板に放出される。また、コントロール電極が除去された領域でフローティングゲートに注入された電荷も、ワードラインと垂直方向にあるアクティブ領域Aから基板に同様に放出される。従って、ゲート間絶縁膜、トンネルゲート絶縁膜とともにチャージアップによるダメージを受けることはない。

【0042】次いで、フローティングゲート4の加工を行うと、断面は図22に示すような途中形状となる。このフローティングゲートの加工時にゲート電極の側壁から注入され電荷は、図20の矢印に示すようにワードライン方向にあるアクティブ領域Aから基板に放出される。また、コントロールゲート電極とゲート間絶縁膜が除去された領域でフローティングゲートに注入された電荷も、ワードラインと垂直方向にある領域から基板に同様に放出される。従って、ゲート間絶縁膜、トンネルゲート絶縁膜とともにチャージアップによるダメージを受けることはない。

【0043】この後、ワードライン端をアクティブ領域から切り離すためのレジストパターニングを行う。なお、このパターニングは、周辺回路のゲート加工時のパターニングと共用することができる。

【0044】次に、ワードライン端をアクティブ領域から切り離したのち、レジスト8を除去することによって、図23に示す最終形状を得る。

【0045】この後、n型不純物を拡散してドレインとソースを形成し、コントロールゲートを被覆して層間絶縁膜を形成し、コンタクトなどを開口して、ビット線などの上層配線を形成して、所望の不揮発性半導体記憶装置とする。

【0046】本実施形態によれば、コントロールゲート7、ゲート間絶縁膜5、フローティングゲート4を、ドライエッチングによって加工する際に注入されてしまう電荷をシリコン基板1へ放出するためのアクティブ領域Aを、メモリアレイ領域の外周部に配置することにより、ゲート加工時等におけるチャージングダメージを効果的に回避できる。また、メモリアレイ領域の形成と同時に上記アクティブ領域Aを形成することができ、工程数を増やすこともない。従って、効率よく信頼性の高いNAND型フラッシュメモリを製造できる。

【0047】上記実施形態では、NAND型フラッシュメモリを念頭において説明したが、フローティングゲートを有する他のタイプの不揮発性半導体記憶装置、例えば、NOR型フラッシュメモリ、いわゆるEPROM、EEPROM等の不揮発性半導体記憶装置の製造にも、本発明の製造方法を適用することができる。

【0048】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置の製造方法によれば、ゲート加工時等に注入される電荷を基板へ放出するアクティブ領域を、メ

モリアレイ領域の周辺部に設けることによって、ゲート間絶縁膜、トンネルゲート絶縁膜等にチャージングダメージを与えることなく、信頼性の高い不揮発性半導体記憶装置を製造することができる。

05 【0049】また、工程を増やすことなく、ゲート間絶縁膜、トンネルゲート絶縁膜等にダメージを与えることなくゲートの加工を行うことができるため、生産性を低下することなく、信頼性の高い不揮発性半導体記憶装置を製造することができる。

10 【図面の簡単な説明】

【図1】図1は、本発明の一実施形態であるNAND型フラッシュメモリの平面図である。

【図2】図2は、フローティングゲート4の加工を行った後、レジスト8を除去して得た本発明のフローティングゲートを有する不揮発性半導体記憶装置の一実施態様の断面図である。

【図3】図3は、本発明の製造方法において、素子分離領域およびアクティブ領域Aを形成した平面図である。

【図4】図4は、図3のa-a'でカットした断面図である。

20 【図5】図5は、図3のb-b'でカットした断面図である。

【図6】図6は、本発明の製造方法において、フローティングゲート材料4を被覆した断面図であり、図3のa-a'から見た図である。

25 【図7】図7は、本発明の製造方法において、フローティングゲート材料4を被覆した断面図であり、図3のb-b'から見た図である。

【図8】図8は、本発明の製造方法において、フローティングゲート材料4を被覆し、フローティングゲートのワードライン方向の幅W2を決めるパターニングを行い、同時にアクティブ領域A上の電極材料もパターニングで除去した平面図である。

30 【図9】図9は、図8のa-a'でカットした断面図である。

35 【図10】図10は、図8のb-b'でカットした断面図である。

【図11】図11は、本発明の製造方法において、酸化シリコン/窒化珪素/酸化シリコンの積層膜5を堆積した断面図であり、図3のa-a'から見た図である。

40 【図12】図12は、本発明の製造方法において、酸化シリコン/窒化珪素/酸化シリコンの積層膜5を堆積した断面図であり、図3のb-b'から見た図である。

【図13】図13は、本発明の製造方法において、選択トランジスタ領域Cに選択トランジスタのしきい値制御用のイオン注入のためのレジスト6をパターニングした断面図であり、図3のa-a'から見た図である。

45 【図14】図14は、本発明の製造方法において、選択トランジスタ領域Cに選択トランジスタのしきい値制御用のイオン注入のためのレジストパターニングした断面

図であり、図3のb-b'から見た図である。

【図15】図15は、本発明の製造方法において、コントロールゲート材料7を堆積した断面図であり、図3のa-a'から見た図である。

【図16】図16は、本発明の製造方法において、コントロールゲート材料7を堆積した後、レジスト8を成膜して、パターニングした断面図であり、図3において、a-a'方向から見た図である。

【図17】図17は、本発明の製造方法において、コントロールゲート材料7を堆積した後、レジスト8を成膜して、パターニングした断面図であり、図3において、b-b'方向から見た図である。

【図18】図18は、本発明の製造方法において、コントロールゲートの加工を行った断面図であり、図3において、a-a'方向から見た図である。

【図19】図19は、本発明の製造方法において、コントロールゲートの加工を行った断面図であり、図3において、b-b'方向から見た図である。

【図20】図20は、本発明の製造方法において、ゲート間絶縁膜5の加工を行った断面図であり、図3のa-a'から見た図である。

【図21】図21は、本発明の製造方法において、ゲート間絶縁膜5の加工を行った断面図であり、図3のb-b'から見た図である。

【図22】図22は、本発明の製造方法において、フローティングゲート4の加工を行った断面図であり、図3のa-a'から見た図である。

【図23】図23は、本発明の製造方法において、フローティングゲート4の加工を行った後、レジスト8を除去した平面図である。

【図24】図24は、従来の製造方法において、メモリアレイ領域を形成した断面図である。

【図25】図25は、従来の製造方法において、フローティングゲート材料4を堆積した断面図である。

【図26】図26は、従来の製造方法において、フローティングゲート材料4を堆積した後、パターニングした断面図である。

【図27】図27は、従来の製造方法において、ゲート間絶縁膜5を堆積した断面図である。

【図28】図28は、従来の製造方法において、コントロールゲート材料7を堆積した後、レジスト9を成膜し、パターニングした断面図である。

【図29】図29は、従来の製造方法において、コントロールゲート7を加工した断面図である。

【図30】図30は、従来の製造方法において、ゲート間絶縁膜5を加工した断面図である。

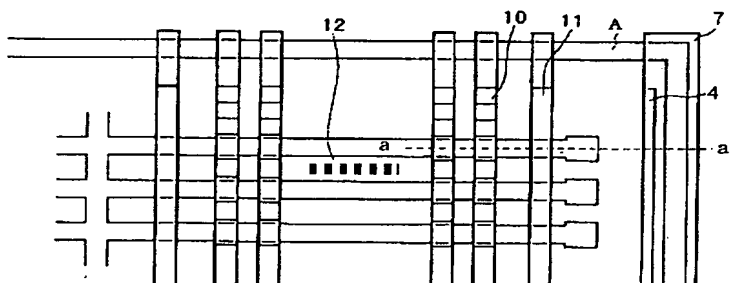
【図31】図31は、従来の製造方法において、フローティングゲートを加工した断面図である。

【図32】図32は、従来の製造方法において、フローティングゲートを加工した後、フローティングゲートを形成し、フローティングゲート材料を除去した断面図である。

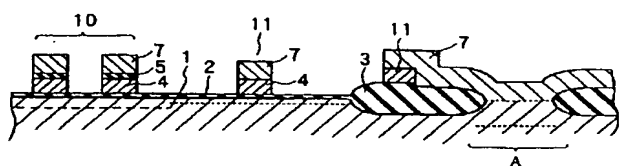
【符号の説明】

1…シリコン基板、2…トンネルゲート酸化膜、3…フィールド酸化膜、4…フローティングゲート材料、5…ゲート間絶縁膜、6, 8, 9…フォトレジスト、7…コントロールゲート材料、10…メモリトランジスタ、11…選択トランジスタ、12…ワードラインの繰り返し、A…アクティブ領域、B…メモリトランジスタ領域、C…選択トランジスタ領域、D…選択トランジスタのしきい値制御のためのイオン注入、E, F…メモリトランジスタのしきい値制御のためのイオン注入、W2…フローティングゲートのワードライン方向の幅

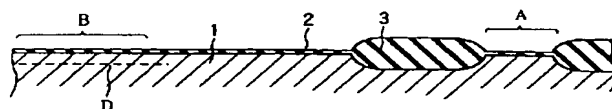
【図1】



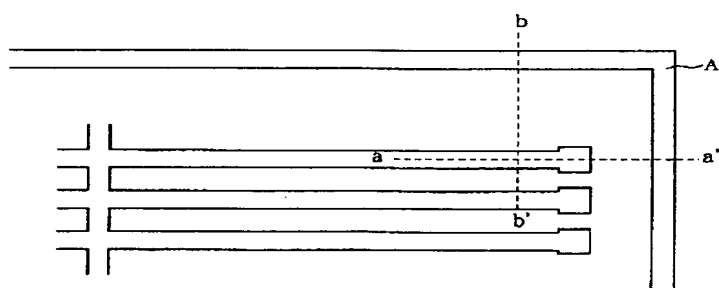
【図 2】



【図 4】



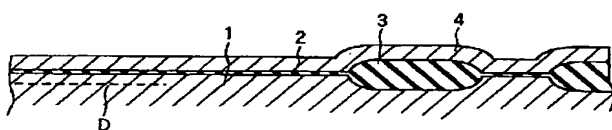
【図 3】



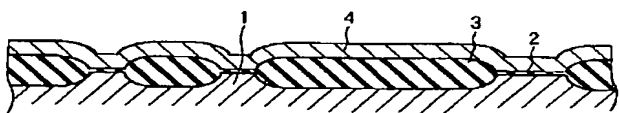
【図 5】



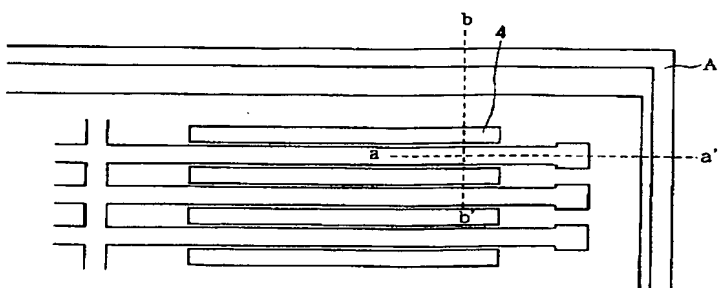
【図 6】



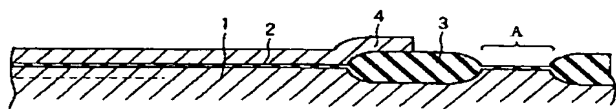
【図 7】



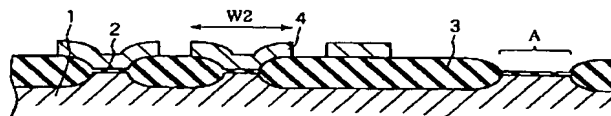
【図 8】



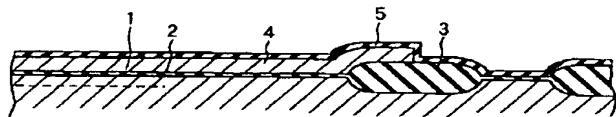
【図 9】



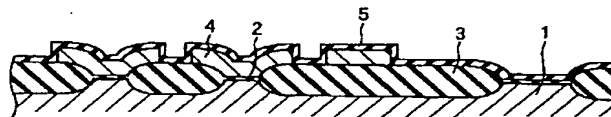
【図 10】



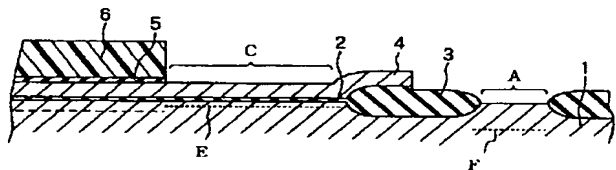
【図 11】



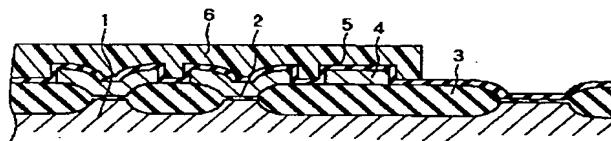
【図 12】



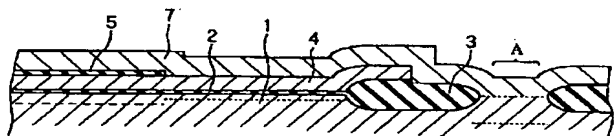
【図 13】



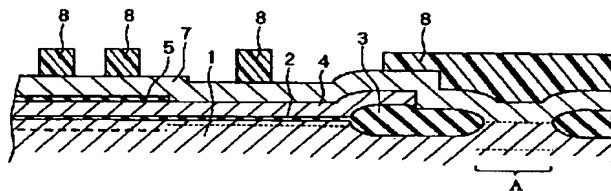
【図 14】



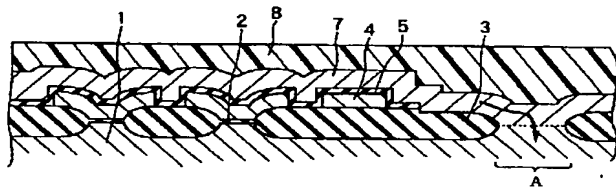
【図 15】



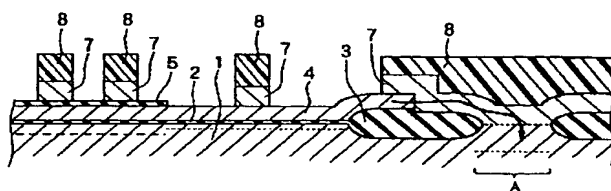
【図 16】



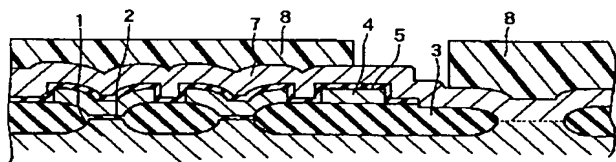
【図 17】



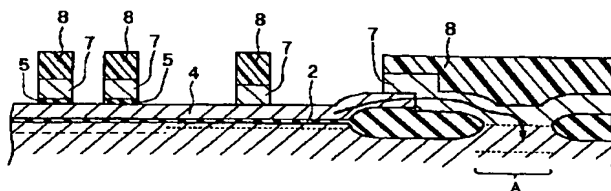
【図 18】



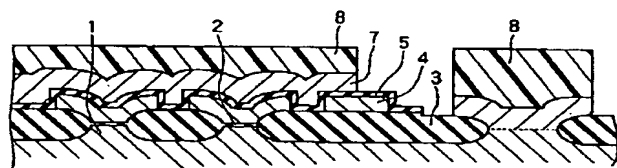
【図 19】



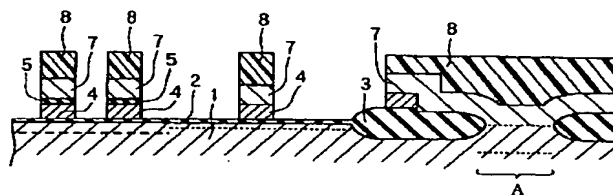
【図 20】



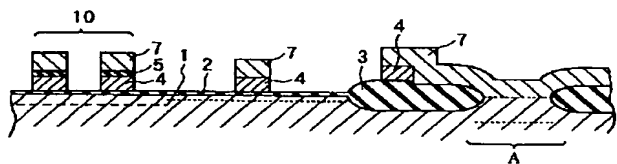
【図 21】



【図 22】



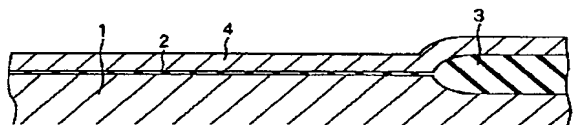
【図 23】



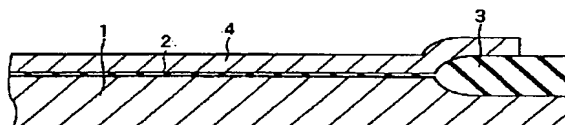
【図 24】



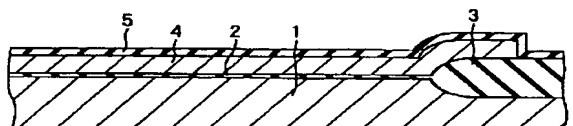
【図 25】



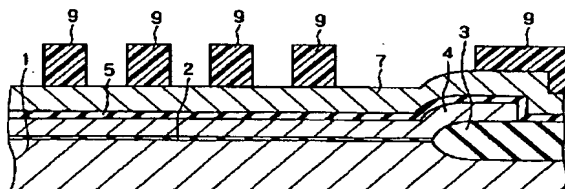
【図 26】



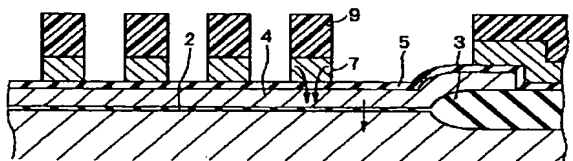
【図 27】



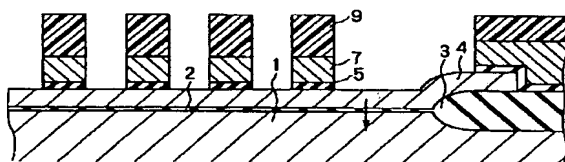
【図 28】



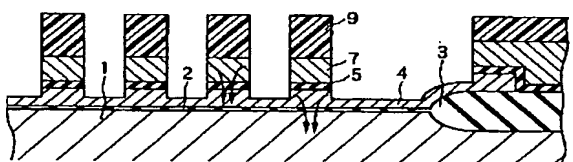
【図 29】



【図 30】



【図 31】



【図 32】

